

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-068618

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H04B 1/707

H04B 7/26

H04Q 7/38

H04L 7/00

(21)Application number : 09-230740 (71)Applicant : OKI ELECTRIC IND CO LTD

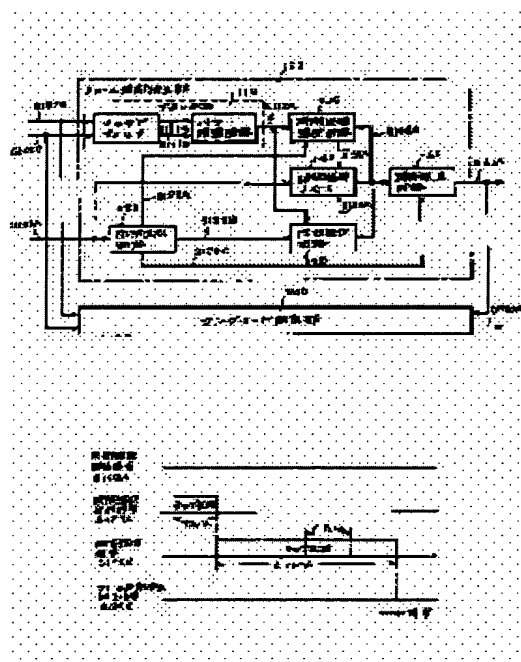
(22)Date of filing : 27.08.1997 (72)Inventor : YAMASHITA AKIRA

(54) SYNCHRONIZATION ACQUISITION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the memory capacity of a synchronization acquisition circuit.

SOLUTION: A branch section 110 obtains correlation between short codes of I and Q phase reception signals S111A, S111B to generate a correlation power signal. A synchronization object selection circuit 130 selects N-sets of high-order correlation power of higher values from the correlation power denoted by the correlation power signal and N-sets of correlation power values stored in an object storage memory 140 according to an object selection phase signal from a phase generating circuit 120 for an M frame period, and holds the selected values in the object storage memory 140. A phase selection circuit 150 adds a correlation power value of the same phase denoted by the correlation power signal to the correlation power values stored in the object storage memory 140 according to an added phase signal from the phase generating circuit 120. A synchronization discrimination circuit 160 discriminates a phase corresponding to the highest correlation power to be a frame synchronization position after the lapse of a period of an L frame period, while a long code identification section 200 identifies a long code, based on the phase.



LEGAL STATUS

[Date of request for examination] 16.02.2001

[Date of sending the examiner's 28.01.2003

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68618

(43) 公開日 平成11年(1999) 3月9日

(51) Int. Cl. ⁶

識別記号

F I

H04B 1/707

H04J 13/00

D

7/26

H04L 7/00

C

H04Q 7/38

H04B 7/26

P

H04L 7/00

109

N

審査請求 未請求 請求項の数 8 O L (全12頁)

(21) 出願番号 特願平9-230740

(22) 出願日 平成9年(1997) 8月27日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山下 昌

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

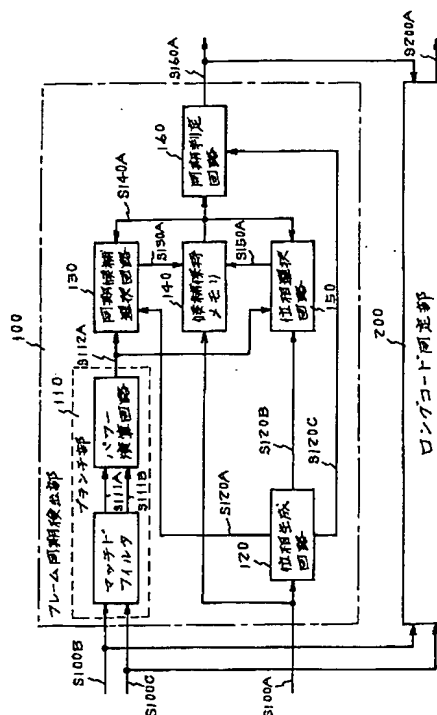
(74) 代理人 弁理士 香取 孝雄

(54) 【発明の名称】 同期捕捉回路

(57) 【要約】

【課題】 同期捕捉回路のメモリ容量を低減する。

【解決手段】 ブランチ部110は、I相、Q相受信信号における各ショートコードとの相関を求めて相関パワー信号を生成する。同期候補選択回路130は、Mフレーム周期の間、位相生成回路120からの候補選択位相信号に従って、相関パワー信号が示す相関パワー値と候補保持メモリ140に保持されているN個の相関パワー値とから値の大きい上位N個の相関パワー値を選択して候補保持メモリ140に保持する。位相選択回路150は、続くLフレーム周期の間、位相生成回路120からの加算位相信号に従って、候補保持メモリ140に保持されている相関パワー値に相関パワー信号が示す同一位相値の相関パワー値を加算する。同期判定回路160は、Lフレーム周期の期間経過時に、最も大きい相関パワー値に対応する位相値をフレーム同期位置と判定し、ロングコード同定部200は、その位相値に基づいてロングコードを同定する。



本発明の第1の実施例を示す同期捕捉回路

【特許請求の範囲】

【請求項 1】 CDMA方式を用いた複数の基地局から送信され、フレームに基地局共通のショートコードのみで拡散されたシンボルを含む送信信号が、非同期に多重化されて受信される受信信号に対して同期捕捉を行う同期捕捉回路において、該回路は、前記受信信号における各ショートコードとの相関を求めてその相関パワー値を生成するブランチ手段と、同期捕捉の開始を指示する同期捕捉開始信号が入力されたとき、該同期捕捉開始信号入力時を基準とするチップ位相を順次生成する位相生成手段と、相関パワー値と該相関パワー値の生成時におけるチップ位相の位相値とをあらかじめ定められた組数だけ保持する候補保持手段と、前記ブランチ手段で相関パワー値が生成されたとき、該相関パワー値と前記候補保持手段で保持されている全ての相関パワー値との中から値の大きい相関パワー値を前記組数だけ選択し、選択した全ての相関パワー値と該相関パワー値生成時におけるチップ位相の位相値とにより前記候補保持手段の保持内容を更新する同期候補選択手段と、前記同期捕捉開始信号入力時からあらかじめ定められた期間が経過したとき、前記候補保持手段で保持されている相関パワー値の中で最も値の大きい相関パワー値に対応する位相値をフレーム同期位置と判定する同期判定手段とを有することを特徴とする同期捕捉回路。

【請求項 2】 CDMA方式を用いた複数の基地局から送信され、フレームに基地局共通のショートコードのみで拡散されたシンボルを含む送信信号が、非同期に多重化されて受信される受信信号に対して同期捕捉を行う同期捕捉回路において、該回路は、前記受信信号における各ショートコードとの相関を求めてその相関パワー値を生成するブランチ手段と、同期捕捉の開始を指示する同期捕捉開始信号が入力されたとき、あらかじめ定められた第 1 の期間を周期として各第 1 の期間の先頭を基準とするチップ位相を順次生成する位相生成手段と、相関パワー値と該相関パワー値の生成時におけるチップ位相の位相値とをあらかじめ定められた組数だけ保持する候補保持手段と、前記同期捕捉開始信号入力時からの前記第 1 の期間において、前記ブランチ手段で相関パワー値が生成されたとき、該相関パワー値と前記候補保持手段で保持されている全ての相関パワー値との中から値の大きい相関パワー値を前記組数だけ選択し、選択した全ての相関パワー値と該相関パワー値の生成時におけるチップ位相の位相値とにより前記候補保持手段の保持内容を更新する同期候補選択手段と、前記第 1 の期間経過時からのあらかじめ定められた第 2 の期間において、前記ブランチ手段で相関パワー値が生

成されたとき、該相関パワー値を、該相関パワー値と生成時におけるチップ位相の位相値が同じ相関パワー値であって前記候補保持手段に保持されている相関パワー値に加算する位相選択手段と、

前記第 2 の期間が経過したとき、前記候補保持手段で保持されている相関パワー値の中で最も値の大きい相関パワー値に対応する位相値をフレーム同期位置と判定する同期判定手段とを有することを特徴とする同期捕捉回路。

【請求項 3】 CDMA方式を用いた複数の基地局から送信され、フレームに基地局共通のショートコードのみで拡散されたシンボルを含む送信信号が、複数のアンテナにより非同期に多重化されて受信される受信信号に対して同期捕捉を行う同期捕捉回路において、該回路は、前記受信信号における各ショートコードとの相関を求めてその相関パワー値を生成する複数のブランチ手段と、同期捕捉の開始を指示する同期捕捉開始信号が入力されたとき、該同期捕捉開始信号入力時を基準とするチップ位相を順次生成する位相生成手段と、相関パワー値と該相関パワー値の生成時におけるチップ位相の位相値と該相関パワー値が生成されたブランチ手段の番号とをあらかじめ定められた組数だけ保持する候補保持手段と、前記ブランチ手段のいずれかで相関パワー値が生成されたとき、該相関パワー値と前記候補保持手段で保持されている全ての相関パワー値との中から値の大きい相関パワー値を前記組数だけ選択し、選択した全ての相関パワー値と該相関パワー値の生成時におけるチップ位相の位相値と該相関パワー値が生成されたブランチ手段の番号とにより前記候補保持手段の保持内容を更新する同期候補選択手段と、前記同期捕捉開始信号入力時からあらかじめ定められた期間が経過したとき、前記候補保持手段で保持されている相関パワー値の中で最も値の大きい相関パワー値に対応する位相値を、該相関パワー値が生成されたブランチ手段に入力される受信信号のフレーム同期位置と判定する同期判定手段とを有することを特徴とする同期捕捉回路。

【請求項 4】 請求項 1 または 3 に記載の同期捕捉回路において、前記あらかじめ定められた期間は 1 フレーム期間または 1 フレーム期間の複数倍であることを特徴とする同期捕捉回路。

【請求項 5】 請求項 1 または 3 に記載の同期捕捉回路において、前記ブランチ手段、候補保持手段、および同期候補選択手段は、前記位相生成手段で順次生成されるチップ位相に同期して動作することを特徴とする同期捕捉回路。

【請求項 6】 CDMA方式を用いた複数の基地局から送信され、フレームに基地局共通のショートコードのみで拡散されたシンボルを含む送信信号が、複数のアンテ

ナにより非同期に多重化されて受信される受信信号に対して同期捕捉を行う同期捕捉回路において、該回路は、前記受信信号における各ショートコードとの相関を求めてその相関パワー値を生成する前記複数のアンテナに対応する複数のブランチ手段と、

同期捕捉の開始を指示する同期捕捉開始信号が入力されたとき、あらかじめ定められた第 1 の期間を周期として各第 1 の期間の先頭を基準とするチップ位相を順次生成する位相生成手段と、

相関パワー値と該相関パワー値の生成時におけるチップ位相の位相値と該相関パワー値が生成されたブランチ手段の番号とをあらかじめ定められた組数だけ保持する候補保持手段と、

前記同期捕捉開始信号入力時からの前記第 1 の期間において、前記ブランチ手段のいずれかで相関パワー値が生成されたとき、該相関パワー値と前記候補保持手段で保持されている全ての相関パワー値との中から値の大きい相関パワー値を前記組数だけ選択し、選択した全ての相関パワー値と該相関パワー値の生成時におけるチップ位相の位相値と該相関パワー値が生成されたブランチ手段の番号とにより前記候補保持手段の保持内容を更新する同期候補選択手段と、

前記第 1 の期間経過時からのあらかじめ定められた第 2 の期間において、前記ブランチ手段で相関パワー値が生成されたとき、該相関パワー値を、該相関パワー値と生成時におけるチップ位相の位相値およびブランチ手段の番号が同じ相関パワー値であって前記候補保持手段に保持されている相関パワー値に加算する位相選択手段と、前記第 2 の期間が経過したとき、前記候補保持手段で保持されている相関パワー値の中で最も値の大きい相関パワー値に対応する位相値を、該相関パワー値が生成されたブランチ手段に入力される受信信号のフレーム同期位置と判定する同期判定手段とを有することを特徴とする同期捕捉回路。

【請求項 7】 請求項 2 または 6 に記載の同期捕捉回路において、前記第 1 の期間は 1 フレーム期間または 1 フレーム期間の複数倍であり、前記第 2 の期間は該第 1 の期間または該第 1 の期間の複数倍であることを特徴とする同期捕捉回路。

【請求項 8】 請求項 2 または 6 に記載の同期捕捉回路において、前記ブランチ手段、候補保持手段、同期候補選択手段、および位相選択手段は、前記位相生成手段で順次生成されるチップ位相に同期して動作することを特徴とする同期捕捉回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DS-CDMA (Direct Sequence-Code Division Multiple Access) 方式を用いた移動無線通信システムの移動局受信側に用いられる同期捕捉回路に関するものである。

【0002】

【従来の技術】 DS-CDMA 基地局間非同期セルラ方式を用いた移動無線通信システムにおいては、複数の基地局からの同一の周波数帯を使用したチャネルが非同期に多重化されて移動局で受信される。この場合、いずれの基地局かを移動局で判別できるように、基地局から送信される情報は、基地局固有のロングコードを用いて拡散されている。したがって、移動局は、特定の基地局と通信を行うためには、まず、その基地局とフレーム同期を確立して基地局固有のロングコードを同定し、このロングコードを用いて逆拡散を行う必要がある。この基地局フレーム同期を短時間で確立する方法の一つとして、次の文献に記載されたものが挙げられる。

【0003】 「樋口 他、『DS-CDMA 基地局間非同期セルラ方式におけるロングコードの 2 段階高速初期同期法』、信学技報、CS96-19、RCS96-12、第 27 頁、電子情報通信学会 (1996 年 5 月)」

上記文献に記載されている同期捕捉法 (セルサーチ法) について以下に説明する。基地局から移動局への制御チャネルのフレーム周期は 1 ロングコード周期とされ、各フレームには基地局共通のショートコードのみを用いて逆拡散されたシンボルが含まれる。移動局は、セルサーチを行う場合、まず、1 フレーム周期の間、受信信号と受信側のショートコードとの相関を検出し、その相関パワー値を算出して順次メモリに保存する。これにより、受信した各基地局の制御チャネルに対して、ショートコード拡散シンボルの受信位相毎に相関パワー値のピークを見いだすことができる。

【0004】 移動局は、1 フレーム内において最大の相関パワー値となった位相を接続希望基地局の制御チャネルのフレーム同期位置と決定する。なお、実際の移動通信環境では、チャネル間干渉やフェージングの影響を除去するため、複数フレーム周期の間相関の検出を行い、相関パワー値を算出して各位相における相関パワー値の平均化を行って、最大相関パワー値を得た位相をフレーム同期位置としている。次に、移動局は、そのフレーム同期位置を持つ制御チャネルについてロングコードの同定を行う。このロングコードの同定は、得られたフレーム同期位置に対してロングコードを変えつつ相関検出を行い、しきい値を超えたときのロングコードを受信制御チャネルのロングコードと判定するものである。これにより同期捕捉を終了する。

【0005】

【発明が解決しようとする課題】 しかしながら、上記のセルサーチ法は、フレーム同期位置を検出する際に、全チップ位相における相関を、複数フレーム周期にわたって検出して相関パワー値を算出し、平均化をした後に最大相関パワー値を持つチップ位相をフレーム同期位置とするため、チップ位相と相関パワー値を記憶するためのメモリがフレーム周期のチップ数と同数だけ必要となる

ので、回路規模が膨大なものになってしまうという欠点があった。

【0006】本発明はこのような従来技術の欠点を解消し、少ないメモリで同期捕捉を行うことができる同期捕捉回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は上述の課題を解決するために、CDMA方式を用いた複数の基地局から送信され、フレームに基地局共通のショートコードのみで拡散されたシンボルを含む送信信号が非同期に多重化されて受信される受信信号に対して同期捕捉を行う同期捕捉回路において、この回路は、受信信号における各ショートコードとの相関を求めてその相関パワー値を生成するブランチ手段と、同期捕捉の開始を指示する同期捕捉開始信号が入力されたとき、同期捕捉開始信号入力時を基準とするチップ位相を順次生成する位相生成手段と、相関パワー値とこの相関パワー値の生成時におけるチップ位相の位相値とをあらかじめ定められた組数だけ保持する候補保持手段と、ブランチ手段で相関パワー値が生成されたとき、この相関パワー値と候補保持手段で保持されている全ての相関パワー値との中から値の大きい相関パワー値を先述の組数だけ選択し、選択した全ての相関パワー値とこの相関パワー値生成時におけるチップ位相の位相値とにより候補保持手段の保持内容を更新する同期候補選択手段と、同期捕捉開始信号入力時からあらかじめ定められた期間が経過したとき、候補保持手段で保持されている相関パワー値の中で最も値の大きい相関パワー値に対応する位相値をフレーム同期位置と判定する同期判定手段とを有することを特徴とする。

【0008】また、本発明は、CDMA方式を用いた複数の基地局から送信され、フレームに基地局共通のショートコードのみで拡散されたシンボルを含む送信信号が非同期に多重化されて受信される受信信号に対して同期捕捉を行う同期捕捉回路において、この回路は、受信信号における各ショートコードとの相関を求めてその相関パワー値を生成するブランチ手段と、同期捕捉の開始を指示する同期捕捉開始信号が入力されたとき、あらかじめ定められた第1の期間を周期として各第1の期間の先頭を基準とするチップ位相を順次生成する位相生成手段と、相関パワー値と該相関パワー値の生成時におけるチップ位相の位相値とをあらかじめ定められた組数だけ保持する候補保持手段と、同期捕捉開始信号入力時からの第1の期間において、ブランチ手段で相関パワー値が生成されたとき、この相関パワー値と候補保持手段で保持されている全ての相関パワー値との中から値の大きい相関パワー値を先述の組数だけ選択し、選択した全ての相関パワー値とこの相関パワー値の生成時におけるチップ位相の位相値とにより候補保持手段の保持内容を更新する同期候補選択手段と、第1の期間経過時からのあらかじめ定められた第2の期間において、ブランチ手段で相

関パワー値が生成されたとき、この相関パワー値を、この相関パワー値と生成時におけるチップ位相の位相値が同じ相関パワー値であって候補保持手段に保持されている相関パワー値に加算する位相選択手段と、第2の期間が経過したとき、候補保持手段で保持されている相関パワー値の中で最も値の大きい相関パワー値に対応する位相値をフレーム同期位置と判定する同期判定手段とを有することを特徴とする。

【0009】

【発明の実施の形態】次に添付図面を参照して本発明による同期捕捉回路の実施例を詳細に説明する。

【0010】まず、本発明の第1の実施例について説明する。図1は、第1の実施例の同期捕捉回路を示すブロック図である。この同期捕捉回路は、複数の基地局から送信された制御チャネルの信号を受信し、その受信信号から生成されたI相受信信号S100B およびQ相受信信号S100C から、所望の制御チャネルのフレーム同期位置を判定し、ロングコードを同定してフレーム同期位置信号S160A とロングコード信号S200A とを出力するものであって、フレーム同期検出部100 およびロングコード同定部200 を有している。

【0011】フレーム同期検出部100 は、フレーム同期位置信号S160A を生成するものであって、マッチドフィルタ111 とパワー演算回路112 とから構成されるブランチ部110 を含む。マッチドフィルタ111 は、入力されるI相受信信号S100B およびQ相受信信号S100C に対して所定の相関演算を施し、得られた相関値をそれぞれI相相関値信号S111A およびQ相相関値信号S111B としてパワー演算回路112 へ出力するものである。パワー演算回路112 は、マッチドフィルタ111 からのI相相関値信号S111A およびQ相相関値信号S111B に対して二乗和演算を施し、その結果を相関パワー信号S112A として同期候補選択回路130 および位相選択回路150へ出力するものである。

【0012】位相生成回路120 は、外部から入力される同期捕捉開始信号S100A を基準としてMフレーム周期（1フレームのM倍の周期）の間、チップ位相を順次生成し、これを候補選択位相信号S120A として同期候補選択回路130 へ出力し、続くLフレーム周期（1フレームのL倍の周期）の間、Mフレームを周期としてチップ位相を順次生成し、これを加算位相信号S120B として位相選択回路150 へ出力し、さらに、加算位相信号S120B の出力を終了したとき、フレーム同期位置検出動作の終了を示すフレーム同期検出終了信号S120C を生成し、これを同期判定回路160 へ出力するものである。

【0013】ここで、チップ位相とは、チップ単位の符号に対してMフレーム周期の先頭からの位相位置（位相値）を表わすインデックスを付与したものであり、ショートコード等は、この1チップ単位の符号の列からなる。したがって、チップ位相の位相値により、そのチッ

ブ位相が出力された時点におけるMフレーム周期の先頭からの位相位置を特定することができる。

【0014】同期候補選択回路130は、位相生成回路120から入力された候補選択位相信号S120A（チップ位相）が示す位相値が変化する毎に、その時点におけるパワー演算回路112からの相関パワー信号S112Aが示す値をその位相値に対応する相関パワー値とし、その相関パワー値と候補保持メモリ140に保持されているN個の相関パワー値の中から相関パワーの大きい上位N個の相関パワー値を選択し、選択した相関パワー値等を位相候補信号S130Aとして候補保持メモリ140へ出力するものである。

【0015】位相選択回路150は、位相生成回路120から入力された加算位相信号S120B（チップ位相）が示す位相値が変化する毎に、その時点におけるパワー演算回路112から入力される相関パワー信号S112Aが示す値をその位相値に対応する相関パワー値とし、その相関パワー値を候補保持メモリ140に保持されている相関パワー値であって、加算位相信号S120Bが示す位相値と同じ位相値に対応する相関パワー値に加算し、加算により得た相関パワー値等を加算パワー信号S150Aとして候補保持メモリ140へ出力するものである。

【0016】候補保持メモリ140は、N組の相関パワー値および位相値を保持できるメモリを有し、そのメモリ内容は、同期捕捉開始信号S100Aによりリセットされるものである。そして、同期候補選択回路130から位相候補信号S130Aが入力されたとき、その信号によりメモリ内容を更新し、位相選択回路150から加算パワー信号S150Aが入力されたとき、その信号によりメモリ内容の関係部分を更新するものである。また、候補保持メモリ140は、現在保持しているメモリ内容を示す保持内容信号S140Aを同期候補選択回路130、位相選択回路150、および同期判定回路160へ常時出力するものである。

【0017】同期判定回路160は、位相生成回路120からフレーム同期検出終了信号S120Cが入力されたとき、候補保持メモリ140に保持されているN個の相関パワー値の中から最も相関パワーの大きい相関パワー値を選択し、この相関パワー値に対応する位相値をフレーム同期位置信号S160Aとして外部およびロングコード同定部200へ出力するものである。

【0018】ロングコード同定部200は、あらかじめ定められた複数種類のロングコードを生成する手段を備えており、同期判定回路160からフレーム同期位置信号S160Aが入力されたとき、その信号が示す位相値に従ったロングコードを生成し、そのロングコードを順次変えつつ外部からのI相受信信号S100BおよびQ相受信信号S100Cとの相関検出を行い、検出した相関値に基づいて制御チャネルのロングコードを決定し、これをロングコード信号S200Aとして外部へ出力するものである。

【0019】次に、第1の実施例の同期捕捉回路の動作

について説明する。この同期捕捉回路のフレーム同期検出部100は、外部から入力される同期捕捉開始信号S100Aにより同期捕捉を開始し、前半のMフレーム周期の間では、N個のフレーム同期位置候補を選択し、後半のLフレーム周期の間では、そのN個のフレーム同期位置候補の中から最適のフレーム同期位置を選択する。

【0020】図1において、フレーム同期検出部100の位相生成回路120は、外部から所定のタイミングで同期捕捉開始信号S100Aが入力されると、図2に示すように、候補選択位相信号S120A、加算位相信号S120Bおよびフレーム同期検出終了信号S120Cを順次生成して出力する。具体的には、位相生成回路120は、同期捕捉開始信号S100Aを基準としてMフレーム周期の間、チップ位相を順次生成し、これを候補選択位相信号S120Aとして同期候補選択回路130へ出力する。そして、Mフレーム周期の間に続くLフレーム周期の間、Mフレームを周期としてチップ位相を順次生成し、これを加算位相信号S120Bとして位相選択回路150へ出力する。

【0021】したがって、Lフレーム周期の間では、Mフレーム周期で同一位相値のチップ位相が繰り返し出力されることになる。さらに、位相生成回路120は、加算位相信号S120Bの出力を終了すると、フレーム同期検出終了信号S120Cを生成してこれを同期判定回路160へ出力する。なお、M、Lの値は1フレームに設定することもできるが、通常はチャネル間干渉やフェージングの影響を除去することができるように複数フレームに設定される。

【0022】一方、フレーム同期検出部100のブランチ部110におけるマッチドフィルタ111には、CDMA方式を用いた複数の基地局からの制御チャネルの信号が非同期に多重化されて受信され、その受信信号から得られたI相受信信号S100BおよびQ相受信信号S100Cが順次入力される。ここで、各基地局の制御チャネルのフレームには、基地局共通のショートコードのみで拡散されたシンボルを含むものとする。図3は、このフレーム構成の一例を示すものであって、期間F1は、基地局共通のショートコードのみで拡散されたシンボルが含まれる期間であり、期間F2は、各基地局固有のロングコードで拡散されたシンボルが含まれる期間である。

【0023】マッチドフィルタ111は、順次入力されるI相受信信号S100BおよびQ相受信信号S100Cに対して、例えば、Matched Filtering法により、位相生成回路120で生成されるチップ位相に同期してチップ位相毎に相関値を生成する。したがって、受信された各制御チャネルのI相受信信号S100BおよびQ相受信信号S100Cのショートコードで拡散された各期間毎に相関値が順次得られることになる。マッチドフィルタ111は、この生成された相関値をそれぞれI相相関値信号S111AおよびQ相相関値信号S111Bとしてパワー演算回路112へ順次出力する。

【 0 0 2 4 】 パワー演算回路112 は、マッチドフィルタ111 から I 相相関値信号S111A および Q 相相関値信号S111B が入力されると、その I 相相関値信号S111A および Q 相相関値信号S111B をそれぞれ二乗し、その結果を加算することにより二乗和演算を実行する。そして、二乗和演算により得られた結果を相関パワー信号S112A として同期候補選択回路130 および位相選択回路150 へ出力する。なお、パワー演算回路112 も、チップ位相に同期して二乗和演算を実行するものであり、相関パワー信号S112A の値は、次のチップ位相が入力されるまで保持されるものとする。

【 0 0 2 5 】 同期候補選択回路130 には、先述したように M フレーム周期の間、位相生成回路120 から候補選択位相信号S120A が入力される。同期候補選択回路130 は、この候補選択位相信号S120A が示す位相値が変化するとき、その時点におけるパワー演算回路112 から入力された相関パワー信号S112A の値を、その候補選択位相信号S120A が示す位相値 θ_{n+1} における相関パワー値 P_{n+1} と定義すると共に、候補保持メモリ140 から常時出力されている保持内容信号S140A から、候補保持メモリ140 に保持されている N 個の相関パワー値 ($P_1 \sim P_N$) およびそれらに対応する位相値を把握する。

【 0 0 2 6 】 次いで、同期候補選択回路130 は、相関パワー値 P_{n+1} および相関パワー値 $P_1 \sim P_N$ に対してソートリングを施し、相関パワーの大きい順に並べて上位 N 個の相関パワー値を選択し、この N 個の相関パワー値およびこれらに対応する位相値を位相候補信号S130A として候補保持メモリ140 へ出力する。候補保持メモリ140 は、この位相候補信号S130A が入力されると、その位相候補信号S130A が示す N 組の相関パワー値および位相値によりメモリ内容を更新する。

【 0 0 2 7 】 このように、同期候補選択回路130 は、M フレーム周期の間、候補選択位相信号S120A が示す位相値が変化する毎に上述の動作を繰り返し実行し、同期位置候補となる N 個の位相値を相関パワーの大きさを基準として選択する。この場合、M フレーム周期を 1 フレームの複数倍に設定すれば、チャンネル間干渉やフェージングの影響を除去することができる。また、候補保持メモリ140 のメモリ容量は、N 組の相関パワー値および位相値を格納できれば足りる。なお、N の値は、システムの性能要求に応じてシミュレーション等により決定する。同期候補選択回路130 は、M フレーム周期の期間が経過したときその動作を終了し、続いて位相選択回路150 が動作を開始する。

【 0 0 2 8 】 位相選択回路150 には、同期候補選択回路130 が動作を終了してから L フレーム周期の間、位相生成回路120 から加算位相信号S120B が入力される。位相選択回路150 は、この加算位相信号S120B が示す位相値が変化する毎に、その時点におけるパワー演算回路112 から入力された相関パワー信号S112A の値を、その加算

位相信号S120B が示す位相値 θ_{n+1} における相関パワー値 P_{n+1} と定義すると共に、候補保持メモリ140 から常時出力されている保持内容信号S140A から、候補保持メモリ140 に保持されている N 組の相関パワー値および位相値 ($P_1 \sim P_N$ 、 $\theta_1 \sim \theta_N$) を把握し、位相値 $\theta_1 \sim \theta_N$ の中に位相値 θ_{n+1} と同じ値の位相値 θ_n が存在するかどうかを調べる。

【 0 0 2 9 】 位相選択回路150 は、位相値 θ_{n+1} と同じ値の位相値 θ_n が存在する場合には、その位相値 θ_n に対応する相関パワー値 P_n に相関パワー値 P_{n+1} を加算し、加算により得られた相関パワー値およびそれに対応する位相値 θ_n を加算パワー信号S150A として候補保持メモリ140 へ出力する。候補保持メモリ140 は、位相選択回路150 から加算パワー信号S150A が入力されたとき、その加算パワー信号S150A が示す位相値 θ_n に対応する相関パワー値であって先に格納されていた相関パワー値に替えて、加算パワー信号S140A が示す相関パワー値を保持する。

【 0 0 3 0 】 しかし、位相選択回路150 は、位相値 θ_{n+1} と同じ値の位相値が存在しない場合には、そこで処理を中止し、加算位相信号S120B が示す位相値が次に変化するのを待つ。この場合、位相選択回路150 からは加算パワー信号S150A が出力されず、候補保持メモリ140 の内容に変化はない。

【 0 0 3 1 】 このように、位相選択回路150 は、最初の加算位相信号S120B が入力されてから L フレーム周期の間、加算位相信号S120B が示す位相値が変化する毎に、候補保持メモリ140 に保持されている N 個の相関パワー値に対して上述の動作を繰り返し実行する。これにより、候補保持メモリ140 に保持されている相関パワー値は、L フレーム周期の間において同一位相値の相関パワー値が生成されると増大することになるので、チャンネル間干渉やフェージングの影響が除去される。また、処理対象は N 組の相関パワー値および位相値に限られるので候補保持メモリ140 のメモリ容量が少なくても済み、回路規模の縮小化が可能となる。位相選択回路150 は、L フレーム周期の期間が経過したときその動作を終了し、同期判定回路160 が動作を開始する。

【 0 0 3 2 】 同期判定回路160 は、位相生成回路120 からフレーム同期検出終了信号S120Cが入力されると、候補保持メモリ140 から出力されている保持内容信号S140A から、候補保持メモリ140 に格納されている N 組の相関パワー値および位相値を把握する。そして、N 個の相関パワー値の中から最も相関パワーの大きい相関パワー値を選択し、この相関パワー値に対応する位相値をフレーム同期位置信号S160A としてロングコード同定部200 および外部へ出力する。移動局は、このフレーム同期位置に対応する制御チャンネルの基地局と接続されることとなる。なお、位相選択回路150 を省略し、同期候補選択回路130 の動作終了後に同期判定回路160 によりフレー

ム同期位置の候補となる位相値を判定してもよい。

【 0 0 3 3 】 ロングコード同定部200 は、同期判定回路160 からフレーム同期位置信号S160A が入力されると、そのフレーム同期位置信号S160A が示す位相に同期したロングコードを生成し、このロングコードを所定の順序で順次変えながら入力された I 相受信信号S100B および Q 相受信信号S100C に対して相関検出を行う。そして、相関値があらかじめ定めたとしきい値を超えたとき、そのロングコードを制御チャンネルのロングコードと判定し、このロングコードをロングコード信号S200A として外部へ出力する。

【 0 0 3 4 】 以上説明したように、本発明の第 1 の実施例によれば、同期位置候補としての位相値を N 個に限定しているので、候補保持メモリ140 は N 組の相関パワー値および位相値を格納できるメモリを備えれば足り、フレーム周期のチップ位相数に相当する数のメモリを備える必要はない。したがって、回路規模を縮小することができる。

【 0 0 3 5 】 次に、本発明の第 2 の実施例について説明する。図 4 は、第 2 の実施例の同期捕捉回路を示すブロック図である。この同期捕捉回路は、複数の基地局から送信された制御チャンネルの信号を 2 個のアンテナでそれぞれ受信し、その受信信号から生成された I 相受信信号S300B、Q 相受信信号S300C、I 相受信信号S300D、および Q 相受信信号S300E から、所望の制御チャンネルのフレーム同期位置を判定し、ロングコードを同定してフレーム同期位置信号S370A、フレーム同期ブランチ信号S370B、およびロングコード信号S400A を出力するものであって、フレーム同期検出部300 とロングコード同定部400 とを有している。

【 0 0 3 6 】 フレーム同期検出部300 は、2 個のアンテナで受信される受信信号に対応して 2 つのブランチ部を含んでいる。第 1 ブランチ部310 は、マッチドフィルタ311およびパワー演算回路312 から構成され、第 2 ブランチ部320 は、マッチドフィルタ321 およびパワー演算回路322 から構成される。そして、マッチドフィルタ311 および 321 は、図 1 に示すマッチドフィルタ111 と、パワー演算回路312 および 322 は、図 1 に示すパワー演算回路112 とそれぞれ同じものである。

【 0 0 3 7 】 したがって、第 1 ブランチ部310 は、一方のアンテナで受信された I 相受信信号S300B および Q 相受信信号S300C から相関パワー信号S312A を生成し、これを同期候補選択回路340 および位相選択回路360 へ出力するものであり、第 2 ブランチ部320 は、他方のアンテナで受信された I 相受信信号S300D および Q 相受信信号S300E から相関パワー信号S322A を生成し、これを同期候補選択回路340 および位相選択回路360 へ出力するものである。なお、本実施例では、説明を簡単化するためにブランチ部の数を 2 つとしているが、これに限定されるものではない。

【 0 0 3 8 】 位相生成回路330 は、図 1 に示す位相生成回路120 と同じのものであって、外部から同期捕捉開始信号S300A が入力されると、最初の M フレーム周期の間、候補選択位相信号S330A を生成してこれを同期候補選択回路340 へ出力し、続く L フレーム周期の間、加算位相信号S330B を生成してこれを位相選択回路360 へ出力し、さらに、L フレーム周期の期間が経過したとき、フレーム同期位置検出動作の終了を示すフレーム同期検出終了信号S330C を生成してこれを同期判定回路370 へ出力するものである。

【 0 0 3 9 】 同期候補選択回路340 は、位相生成回路330 から入力された候補選択位相信号S330A (チップ位相) が示す位相値が変化する毎に、その時点における第 1 ブランチ部310 からの相関パワー信号S312A が示す値および第 2 ブランチ部320 からの相関パワー信号S322A が示す値をそれぞれ相関パワー値とし、これら 2 つの相関パワー値と保持内容信号S350A から把握した候補保持メモリ350 に保持されている N 個の相関パワー値の中から、所定の手順に従って相関パワーの大きい上位 N 個の相関パワー値を選択し、選択した相関パワー値等を位相候補信号S340A として候補保持メモリ350 へ出力するものである。

【 0 0 4 0 】 位相選択回路360 は、位相生成回路330 から入力された加算位相信号S330B (チップ位相) が示す位相値が変化する毎に、その時点における第 1 ブランチ部310 からの相関パワー信号S312A が示す値および第 2 ブランチ部320 からの相関パワー信号S322A が示す値をそれぞれ相関パワー値とし、これら 2 つの相関パワー値をそれぞれ所定の手順に従って、保持内容信号S350A から把握した候補保持メモリ350 に保持されている相関パワー値のいずれかに加算し、加算した相関パワー値等を加算パワー信号S360A として候補保持メモリ350 へ出力するものである。

【 0 0 4 1 】 候補保持メモリ350 は、N 組の相関パワー値、位相値、およびブランチ番号を保持できるメモリを有し、同期捕捉開始信号S300A によりメモリ内容がリセットされるものである。そして、同期候補選択回路340 から位相候補信号S340A が入力されたとき、その信号によりメモリの内容を更新し、位相選択回路360 から加算パワー信号S360A が入力されたとき、その信号によりメモリ内容の関係部分を更新するものである。また、候補保持メモリ350 は、現在保持しているメモリ内容を保持内容信号S350A として同期候補選択回路340、位相選択回路360、および同期判定回路370 へ常時出力するものである。

【 0 0 4 2 】 同期判定回路370 は、位相生成回路330 からフレーム同期検出終了信号S330C が入力されたとき、候補保持メモリ350 に保持されている N 個の相関パワー値の中から最も相関パワーの大きい相関パワー値を選択し、この相関パワー値に対応する位相値およびブランチ

番号をそれぞれフレーム同期位置信号S370A、フレーム同期ブランチ信号S370Bとして外部およびロングコード同定部400へ出力するものである。

【0043】ロングコード同定部400は、あらかじめ定められた複数種類のロングコードを生成する手段を備えており、同期判定回路370からフレーム同期位置信号S370Aおよびフレーム同期ブランチ信号S370Bが入力されたとき、その信号が示す位相に従ったロングコードを生成し、そのロングコードを順次変えつつフレーム同期ブランチ信号S370Bが示すI相受信信号およびQ相受信信号に対して相関検出を行い、検出した相関値に基づいて制御チャネルのロングコードを決定し、これをロングコード信号S400Aとして外部へ出力するものである。

【0044】次に、第2の実施例の同期捕捉回路の動作について説明する。この同期捕捉回路の動作は、基本的には図1に示す同期捕捉回路の場合と同じであるが、2組のI相受信信号S300B、Q相受信信号S300C、およびI相受信信号S300D、Q相受信信号S300Eを用いて同期捕捉を行う点で相違している。

【0045】図4において、フレーム同期検出部300の位相生成回路330は、図1に示す位相生成回路120の場合と同様にして、外部から所定のタイミングで同期捕捉開始信号S300Aが入力されると、その同期捕捉開始信号S300Aを基準としてMフレーム周期の間、チップ位相を順次生成し、これを候補選択位相信号S330Aとして同期候補選択回路340へ出力する。そして、それに続くLフレーム周期の間、Mフレームを周期としてチップ位相を順次生成し、これを加算位相信号S330Bとして位相選択回路360へ出力する。さらに、位相生成回路330は、加算位相信号S330Bの出力を終了すると、フレーム同期検出終了信号S330Cを生成してこれを同期判定回路370へ出力する。

【0046】一方、フレーム同期検出部300の第1ブランチ部310には、一方のアンテナで受信された制御チャネルの受信信号から生成されたI相受信信号S300BおよびQ相受信信号S300Cが順次入力され、第2ブランチ部320には、他方のアンテナで受信された制御チャネルの受信信号から生成されたI相受信信号S300DおよびQ相受信信号S300Eが順次入力される。ここで、各制御チャネルのフレーム構成は、図3に示す第1の実施例の場合と同じものである。なお、2個のアンテナは、アンテナダイバーシチ効果が得られるように配置されている。

【0047】第1ブランチ部310は、図1に示すブランチ部110の場合と同様にして、マッチドフィルタ311およびパワー演算回路312により、入力されたI相受信信号S300BおよびQ相受信信号S300Cから相関パワー信号S312Aを生成して同期候補選択回路340へ出力する。第2ブランチ部320も図1に示すブランチ部110の場合と同様にして、マッチドフィルタ321およびパワー演算回路322により、入力されたI相受信信号S300DおよびQ

相受信信号S300Eから相関パワー信号S322Aを生成して同期候補選択回路340へ出力する。

【0048】同期候補選択回路340には、先述したようにMフレーム周期の間、位相生成回路330から候補選択位相信号S330Aが入力される。同期候補選択回路340は、この候補選択位相信号S330Aが示す位相値が変化したとき、その時点における第1ブランチ部310から入力された相関パワー信号S312Aが示す値を、その候補選択位相信号S330Aが示す位相値 θ_{n+1} および第1ブランチ部310のブランチ番号B1に対応する相関パワー値 P_{1n+1} と定義し、第2ブランチ部320から入力された相関パワー信号S322Aが示す値を、位相値 θ_{n+1} および第2ブランチ部320のブランチ番号B2に対応する相関パワー値 P_{2n+1} と定義すると共に、候補保持メモリ350から常時出力されている保持内容信号S350Aから、候補保持メモリ350に保持されているN組の相関パワー値、位相値、およびブランチ番号($P_1 \sim P_N$ 、 $\theta_1 \sim \theta_N$ 、B1またはB2)を把握する。

【0049】次いで、同期候補選択回路340は、相関パワー値 P_{1n+1} 、 P_{2n+1} 、および $P_1 \sim P_N$ に対してソーティングを施して相関パワーの大きい順に並べ、上位N個の相関パワー値を選択し、このN個の相関パワー値とこれに対応する位相値およびブランチ番号を位相候補信号S340Aとして候補保持メモリ350へ出力する。候補保持メモリ350は、同期候補選択回路340から位相候補信号S340Aが入力されると、その位相候補信号S340Aが示すN組の相関パワー値、位相値、およびブランチ番号によりメモリ内容を更新する。

【0050】このように、同期候補選択回路340は、Mフレーム周期の間、候補選択位相信号S330Aが示す位相値が変化する毎に上述の動作を繰り返し実行し、同期位置候補となるN個の位相値を相関パワーの大きさを基準として選択する。この場合、Mの値を1フレームの複数倍に設定すれば、チャネル間干渉やフェージングの影響を除去することができる。また、候補保持メモリ350のメモリ容量は、N組の相関パワー値、位相値およびブランチ番号を格納できれば足りる。なお、Nの値は、通常、システムの性能要求に応じてシミュレーション等により決定される。同期候補選択回路340は、Mフレーム周期の期間が経過したときその動作を終了し、続いて位相選択回路360が動作を開始する。

【0051】位相選択回路360には、先述のようにLフレーム周期の間、位相生成回路330から加算位相信号S330Bが入力される。位相選択回路360は、この加算位相信号S330Bが示す位相値が変化したとき、その時点における第1ブランチ部310から入力された相関パワー信号S312Aが示す値を、その加算位相信号S330Bが示す位相値 θ_{n+1} および第1ブランチ部310のブランチ番号B1に対応する相関パワー値 P_{1n+1} と定義し、第2ブランチ部320から入力された相関パワー信号S322Aが示す値を、

位相値 θ_{k+1} 、および第 2 ブランチ部 320 のブランチ番号 B2 に対応する相関パワー値 P_{2k+1} と定義すると共に、候補保持メモリ 350 から常時出力されている保持内容信号 S350A から、候補保持メモリ 350 に保持されている N 組の相関パワー値、位相値、およびブランチ番号 ($P_1 \sim P_N$ 、 $\theta_1 \sim \theta_N$ 、B1 または B2) を把握する。

【0052】次いで、位相選択回路 360 は、N 個の位相値 ($\theta_1 \sim \theta_N$) の中に位相値 θ_{k+1} と同じ値の位相値 θ_k が存在するかどうかを調べる。そして、位相値 θ_{k+1} と同じ値の位相値 θ_k が存在する場合には、その位相値 θ_k に対応するブランチ番号が B1 であるときは、その位相値 θ_k に対応する相関パワー値 P_k に相関パワー値 P_{1k+1} を加算し、その位相値 θ_k に対応するブランチ番号が B2 であるときは、その相関パワー値 P_k に相関パワー値 P_{2k+1} を加算し、その位相値 θ_k に対応するブランチ番号に B1 および B2 の 2 つがあるときは、そのブランチ番号 B1、B2 に対応する相関パワー値にそれぞれ相関パワー値 P_{1k+1} 、 P_{2k+1} を加算する。

【0053】次いで、位相選択回路 360 は、加算により得た相関パワー値と、それに対応する位相値およびブランチ番号とを加算パワー信号 S360A として候補保持メモリ 350 へ出力する。候補保持メモリ 350 は、この加算パワー信号 S360A が入力されると、その加算パワー信号 S360A が示す位相値およびブランチ番号に対応する相関パワー値であって先に格納されていた相関パワー値に替えて、加算パワー信号 S360A が示す相関パワー値を保持する。

【0054】しかし、位相選択回路 360 は、N 個の位相値 ($\theta_1 \sim \theta_N$) の中に位相値 θ_{k+1} と同じ値の位相値 θ_k が存在しない場合、および N 個の位相値 ($\theta_1 \sim \theta_N$) の中に位相値 θ_{k+1} と同じ値の位相値 θ_k が存在する場合であってもブランチ番号が相違する場合には、そこで処理を中止し、加算位相信号 S330B が示す位相値が次に変化するのを待つ。この場合、位相選択回路 360 からは加算パワー信号 S360A が出力されず、候補保持メモリ 350 の内容に変化はない。

【0055】このように、位相選択回路 360 は、最初の加算位相信号 S330B が入力されてから L フレーム周期の間、加算位相信号 S330B が示す位相値が変化する毎に、候補保持メモリ 350 に格納されている N 個の相関パワー値に対して上述の動作を繰り返し実行する。これにより、候補保持メモリ 350 に保持されている相関パワー値は、L フレーム周期の間において同一位相値の相関パワー値が生成されると増大することになるので、チャンネル間干渉やフェージングの影響が除去される。また、処理対象は N 組の相関パワー値、位相値およびブランチ番号に限定されるので候補保持メモリ 350 のメモリ容量が少なく済み、回路規模の縮小化が可能となる。位相選択回路 360 は、L フレーム周期の期間が経過したときその動作を終了し、同期判定回路 370 が動作を開始する。

【0056】同期判定回路 370 は、位相生成回路 330 からフレーム同期検出終了信号 S330C が入力されると、候補保持メモリ 350 に格納されている N 個の相関パワー値の中から最も相関パワーの大きい相関パワー値を選択し、この相関パワー値に対応する位相値およびブランチ番号をそれぞれフレーム同期位置信号 S370A およびフレーム同期ブランチ信号 S370B としてロングコード同定部 400 および外部へ出力する。移動局は、このフレーム同期ブランチ信号 S370B が示すブランチ部に対応するアンテナを用いて、このフレーム同期位置に対応する制御チャネルの基地局と接続されることとなる。なお、位相選択回路 360 を省略し、同期候補選択回路 340 の動作終了後に同期判定回路 370 によりフレーム同期位置の候補となる位相値を判定してもよい。

【0057】ロングコード同定部 400 は、同期判定回路 370 から同期位置信号 S370A およびフレーム同期ブランチ信号 S370B が入力されると、その同期位置信号 S370A が示す位相に同期したロングコードを生成し、このロングコードを所定の順序で順次変えながら、フレーム同期ブランチ信号 S370B が示すブランチ部に入力される I 相受信信号および Q 相受信信号に対して相関検出を行う。そして、相関値があらかじめ定めたしきい値を超えたとき、そのロングコードを制御チャネルのロングコードと判定し、このロングコードをロングコード信号 S400A として外部へ出力する。

【0058】以上説明したように第 2 の実施例によれば、複数ブランチ部を設けた場合においても、同期候補選択回路 340、候補保持メモリ 350、および位相選択回路 360 を各ブランチ部に対して共通化しているので回路規模が増大することはない。また、候補保持メモリ 350 は、N 組の相関パワー値、位相値、およびブランチ番号を格納できるメモリを備えれば足りるので回路規模を縮小することが可能となる。

【0059】

【発明の効果】このように本発明によれば、非同期の複数の制御チャネルの信号に対して、ショートコードで拡散された各部分を検出することにより所望の制御チャネルに対するフレーム同期位置を選定する場合に、そのフレーム同期位置候補を N 個に限定しているので、N 組の相関パワー値および位相値を格納できるメモリを備えれば足りる。したがって、従来のようにフレーム周期のチップ位相数に相当する数のメモリを備える必要はなく、回路規模を大幅に縮小することが可能となる。

【0060】また、非同期の複数の制御チャネルを別々のアンテナで受信し、それらの受信信号から所望の制御チャネルに対するフレーム同期位置を選定する場合に、同期候補選択手段、候補保持メモリ、位相選択手段等を共通化しているので回路規模が増大することなく、また、N 組の相関パワー値、位相値、およびブランチ番号を格納できるメモリを備えれば足りる。したがって、回

路規模を大幅に縮小することが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の同期捕捉回路を示すブロック図である。

【図 2】図 1 における位相生成回路 120 から出力される信号を示す図である。

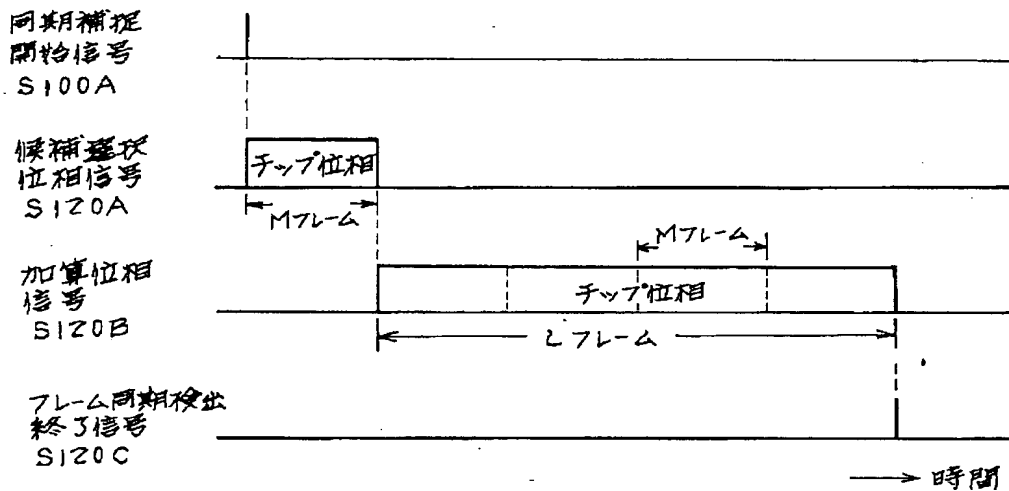
【図 3】図 1 における I 相受信信号 S100B および Q 相受信信号 S100C のフレーム構成を示す図である。

【図 4】本発明の第 1 の実施例の同期捕捉回路を示すブロック図である。

【符号の説明】

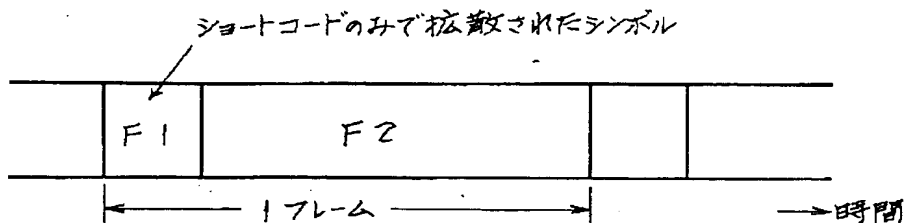
100、300	フレーム同期検出部
110、310、320	ブランチ部
111、311、321	マッチドフィルタ
112、312、322	パワー演算回路
120、330	位相生成回路
130、340	同期候補選択回路
140、350	候補保持メモリ
150、360	位相選択回路
160、370	同期判定回路
10 200、400	ロングコード同定部

【図 2】



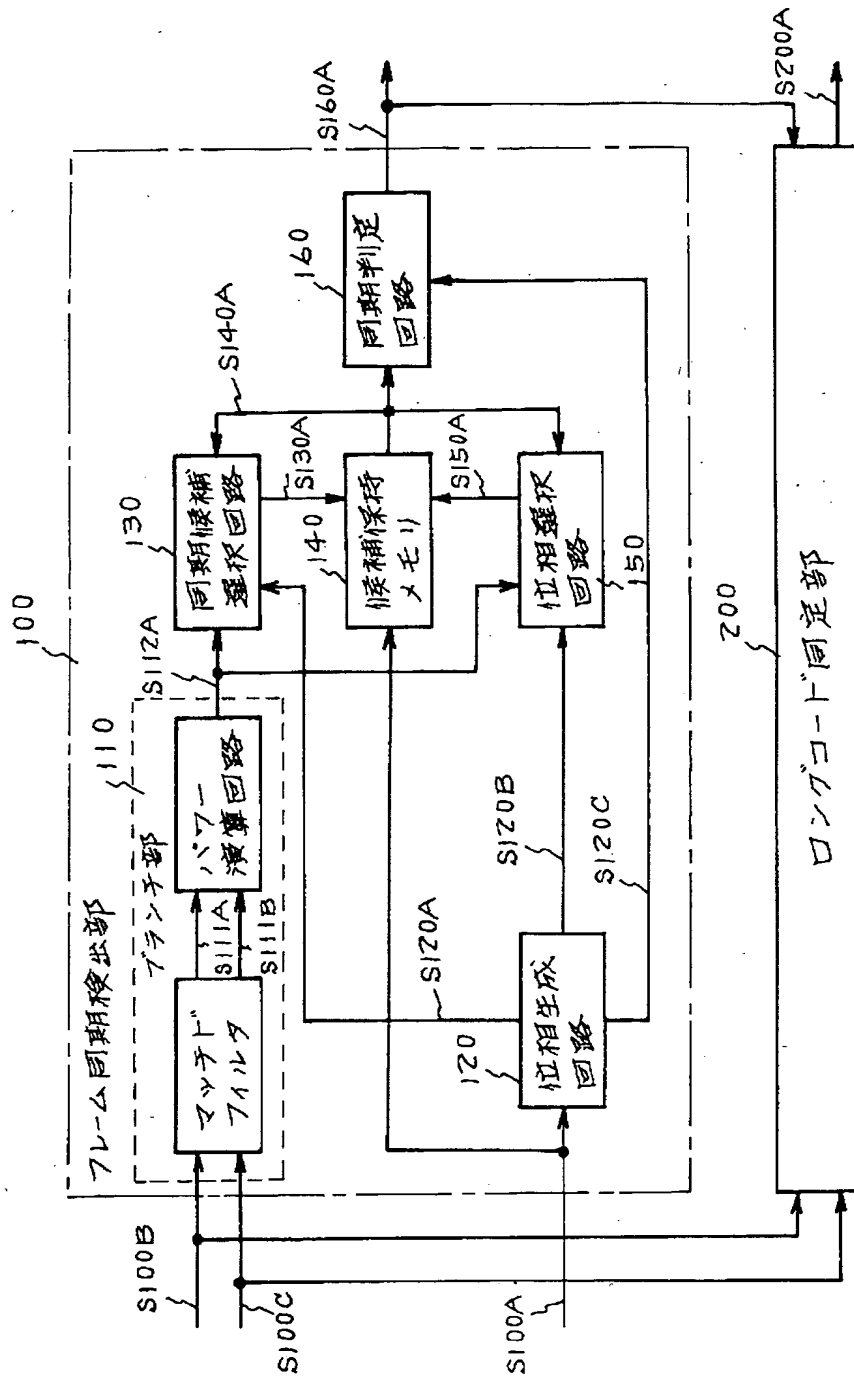
位相生成回路 120 の出力信号

【図 3】



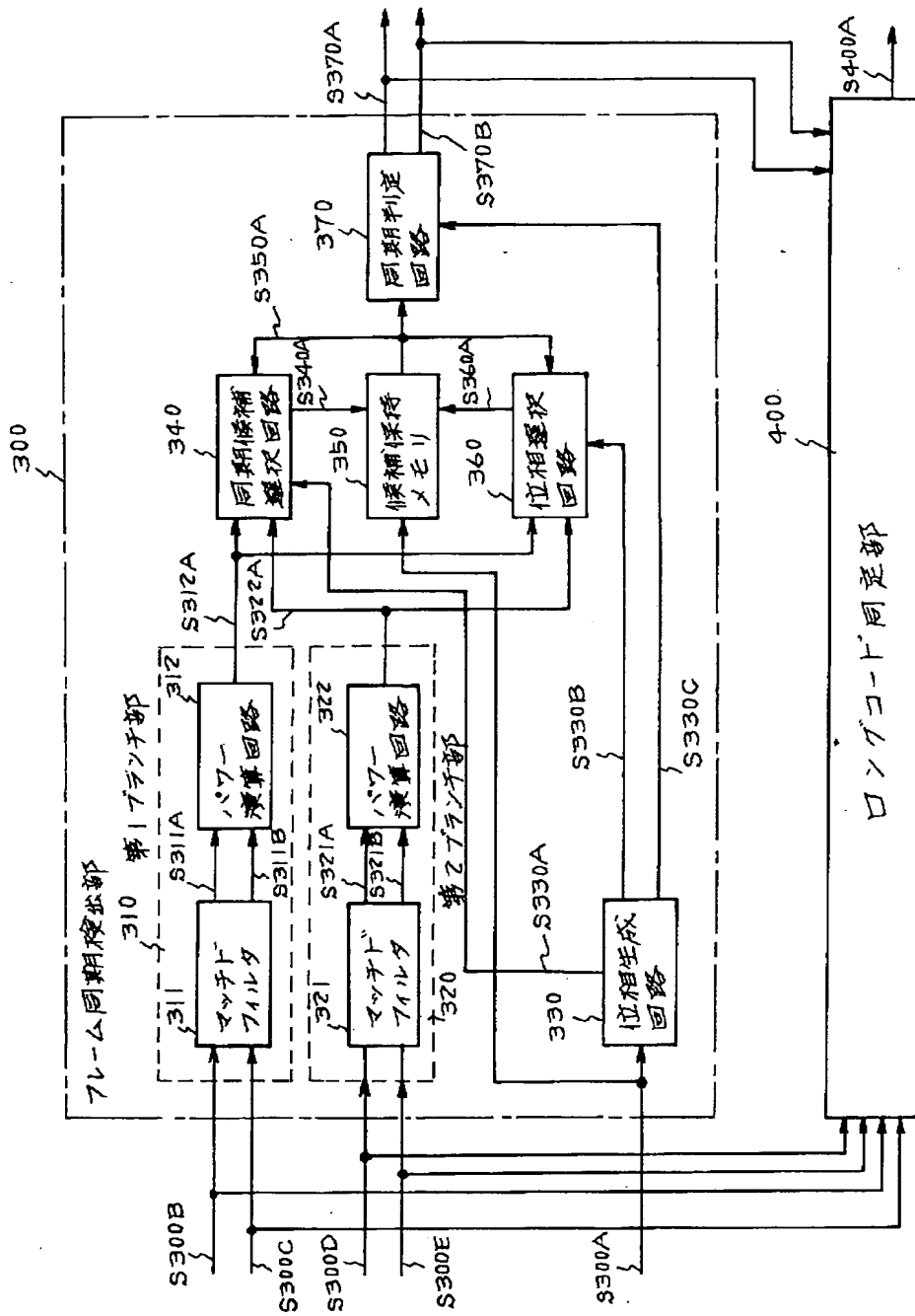
制御チャネルのフレーム構成

【図 1】



本発明の第1の実施例を示す同期捕捉回路

【図4】



本発明の第2の実施例を示す同期捕捉回路